

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

007137331

WPI Acc No: 87-137328/198720

XRAM Acc No: C87-057158

XRPX Acc No: N87-102920

**Polysilicon mos transistor - formed in polysilicon layer contg. one or more carbon, oxygen and nitrogen ions**

Patent Assignee: HITACHI LTD (HITA )

Inventor: MOMMA N; SAITO R

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 222215	A	19870520	EP 86114610	A	19861022		198720 B
JP 62095860	A	19870502	JP 85287750	A	19851223		198723
JP 62147759	A	19870701					198732
US 4772927	A	19880920	US 86922347	A	19861023		198840
EP 222215	B	19911016					199142
DE 3682021	G	19911121					199148

Priority Applications (No Type Date): JP 85287750 A 19851223; JP 85235241 A 19851023

Cited Patents: A3...8801; DE 3317954; EP 152625; EP 198320; EP 73075; No-SR.Pub

Patent Details:

Patent	Kind	Ln Pg	Filing Notes	Application	Patent
EP 222215	A	E	7		

Designated States (Regional): DE FR GB

US 4772927	A	6	EP 222215	B
------------	---	---	-----------	---

Designated States (Regional): DE FR GB

Abstract (Basic): EP 222215 A

In a MOS transistor element in which a source, drain and channel are formed in a polySi layer, the source and drain regions contain a conductivity impurity and the source, drain and channel regions contain ions of O, N or C to restrain the conductivity impurity from diffusing into the channel region. Pref. O, N or C ions are introduced into the whole of the polySi layer.

ADVANTAGE - Lateral diffusion into the channel during annealing is restrained.

Title Terms: POLY; SILICON; MOS; TRANSISTOR; FORMING; POLY; SILICON; LAYER; CONTAIN; ONE; MORE; CARBON; OXYGEN; NITROGEN; ION

Derwent Class: L03; U11; U12; U13

International Patent Class (Additional): H01L-021/31; H01L-027/08; H01L-029/78

File Segment: CPI; EPI

02230859      **\*\*Image available\*\***

## MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **62-147759** [JP 62147759 A]

PUBLISHED: July 01, 1987 (19870701)

INVENTOR(s): SAITO RYUICHI

MONMA NAOHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 60-287750 [JP 85287750]

FILED: December 23, 1985 (19851223)

INT'L CLASS: [4] H01L-027/08; H01L-021/20; H01L-027/00; H01L-027/10

JAIIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

**JOURNAL:** Section: E, Section No. 564, Vol. 11, No. 382, Pg. 123,  
December 12, 1987 (19871212)

## ABSTRACT

**PURPOSE:** To sufficiently lower the lateral diffusion of conductive impurity in the polysilicon and make small fluctuation due to small size and high yield by including one element among oxygen, nitrogen and carbon into the entire part of polysilicon.

CONSTITUTION: An insulation film 2 is deposited on a semiconductor substrate 1, the polysilicon layer 3 is further deposited and it is etched like islands. Next, the oxygen ion 4, for example, is introduced into the polysilicon 3 by the ion implantation method, a gate insulation film 5 is formed, an electrode 9 is then formed, and the conductive impurity ion 8 is introduced by the ion implantation method to form a diffused layer 6 which becomes the source and drain. An insulation film 10 is then deposited and the heat processing is carried out. In this case, the lateral diffusion of conductive impurity is suppressed in the diffusion layer 6 due to existence of oxygen and the diffusion layer 6 is not connected even when the gate electrode 9 has the width of  $2.\mu.m$  or less. Thereafter, a contact hole is formed on the insulation film 10, the Al electrode 11 is then formed, thus completing small size polysilicon MOS transistor element.

## ⑫ 公開特許公報 (A)

昭62-147759

⑬ Int. Cl. 4

H 01 L 27/08  
21/20  
27/00  
27/10

識別記号

102

府内整理番号

7735-5F  
7739-5F  
8122-5F  
7735-5F

⑭ 公開 昭和62年(1987)7月1日

審査請求 未請求 発明の数 1 (全4頁)

## ⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-287750

⑰ 出 願 昭60(1985)12月23日

⑱ 発明者 斎藤 隆一  
⑲ 発明者 門馬 直弘  
⑳ 出願人 株式会社日立製作所  
㉑ 代理人 弁理士 小川 勝男日立市久慈町4026番地 株式会社日立製作所日立研究所内  
日立市久慈町4026番地 株式会社日立製作所日立研究所内  
東京都千代田区神田駿河台4丁目6番地  
外2名

## 明細書

発明の名称 半導体装置の製造方法

## 特許請求の範囲

1. 半導体基体上のポリシリコン層にMOSトランジスタ素子を形成する半導体装置の製造方法において、前記ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を含有させておいてから、不純物を導入しMOSトランジスタ素子を形成することを特徴とする半導体装置の製造方法。

2. ポリシリコン層のMOSトランジスタ素子は、半導体基板に形成されたMOSトランジスタ素子とゲート電極を共通化されており、前記半導体基板に形成されたMOSトランジスタ素子上に絶縁膜を介して積層して形成されることを特徴とする前記特許請求の範囲第1項記載の半導体装置の製造方法。

3. 酸素、窒素、炭素のうちの少なくとも一種類の元素は、前記ポリシリコン層のMOSトランジスタ素子のチャネルが形成されるポリシリコン

絶縁膜界面近傍では低濃度で含有され、その他の前記ポリシリコン層中では高濃度で含有されていることを特徴とする特許請求の範囲第1項及び第2項記載の半導体装置の製造方法。

4. 酸素、窒素、炭素のうちの少なくとも一種類の元素は、 $10^{19}$ 個/ $\text{cm}^2$ ～ $10^{22}$ 個/ $\text{cm}^2$ の濃度であることを特徴とする前記特許請求の範囲第1項及び第2項記載の半導体装置の製造方法。

5. 前記ポリシリコン層は半導体基体上に絶縁膜を介して設けられることを特徴とする半導体装置の製造方法。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体装置の製造方法に係り、特に、素子寸法を微細化し、歩留りを高くし、ばらつきを小さくするのに好適なポリシリコンを用いて形成するMOSトランジスタ素子の製造方法に関する。

## 〔従来の技術〕

従来、半導体装置、特にポリシリコンを用いて

形成したMOSトランジスタ素子については、アイ・イー・イー・イー、トランザクション・オン・エレクトロン、デバイス、イー・ディー-32、ナンバー2(1985年)第258頁から第281頁(IEEE, Trans. on Electron Device ED-32, No.2 (1985) p. 258-281)において論じられている。すなわち、半導体集積回路の集積度を向上させ、かつ、電気的に絶縁分離を計るために、単結晶半導体基板上に形成された絶縁膜あるいはトランジスタ素子上にポリシリコンMOSトランジスタ素子を積層して形成した構造が用いられている。ポリシリコンMOSトランジスタ素子のソースおよびドレイン領域はポリシリコン中に導電性不純物(NMOSではリン、ヒ素、アンチモン等、PMOSでは硼素、アルミニウム、ガリウム等)を導入することにより形成される。

〔発明が解決しようとする問題点〕

上記従来技術では、ポリシリコン中で結晶粒界を通る導電性不純物の拡散が非常に速い点について配慮されておらず、拡散が速いため熱処理によ

で含有される。また、好ましくは、酸素、窒素、炭素のうちの少なくとも一種類の元素の濃度は $10^{18} \sim 10^{22}$ 個/ $\text{cm}^3$ の範囲に設定される。

〔作用〕

ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を導入することにより、ポリシリコンの物性が変化する。特に、ポリシリコンの結晶粒界に部分的に酸化シリコン、窒化シリコンあるいは炭化シリコンが形成されることにより結晶粒界の物性が変化し、結晶粒界を通る不純物拡散が抑制されるように作用する。それによつて、ポリシリコン中の横方向拡散が低減されたため微細な寸法のポリシリコンMOSトランジスタ素子を形成することができる。また、拡散速度が小さいためばらつきは小さく、歩留りも高くなる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。第1図は本発明の一実施例を示したものである。まず、第1図(a)に示すように半導体基板ある

つて大きな横方向拡散が起こるため、導電性不純物を導入する領域の間隔が狭いとソース領域とドレイン領域がつながってしまうことから、ゲート長が約 $2 \mu\text{m}$ 以下の微細な寸法のポリシリコンMOSトランジスタ素子を形成できないという問題があつた。

本発明の目的は、ポリシリコン中の導電性不純物の横方向拡散を十分に低減し、寸法が微細が歩留りが高くばらつきの小さいポリシリコンMOSトランジスタ素子を形成するのに好適な半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を含有せしめることにより達成される。ここで好ましくは、酸素、窒素、炭素のうちの少なくとも一種類の元素は、しづき値電圧を増加させないために、ポリシリコンMOSトランジスタ素子のチャネルが形成されるポリシリコン-絶縁膜界面近傍では低濃度で含有され、その他の領域ではこれより高濃度

いは半導体素子1の上に絶縁膜2を堆積し、さらにポリシリコン層3を例えば減圧CVD法を用いて堆積する。通常のホトエッチング法を用いてポリシリコン層3を島状にエッチングし素子形成領域とする。次に、例えば酸素イオン4をイオン打込み法を用いてポリシリコン3中に導入する(含有させる)。ここで、酸素イオン4のイオン打込みは、ポリシリコン3のエッチングを行なう前に行なつてもかまわない。打込み条件は、ポリシリコン3の厚さを考慮してポリシリコン層3全体に酸素が導入されるように設定される。導入された酸素濃度は好ましくは $10^{18} \sim 10^{22}$ 個/ $\text{cm}^3$ の範囲内に設定される。また、好ましくはチャネル形成領域すなわちポリシリコン層3の上面近傍の酸素濃度は低濃度、例えば $10^{20}$ 個/ $\text{cm}^3$ 以下に設定する。これによつて、酸素の導入によるしづき値電圧の増加が阻げられる。次に、第1図(b)に示すように、熱酸化あるいは絶縁膜堆積を行なうことによりゲート絶縁膜5を形成する。次に、第1図(c)に示すように、ポリシリコンMOSト

ランジスタ素子のゲート電極9を形成し、導電性不純物イオン8をイオン打込み法を用いて導入し、ソースおよびドレイン領域となる拡散層6を形成する。次に、第1図(d)に示すように絶縁膜10を堆積し、熱処理を加える。このとき、拡散層6中の導電性不純物の横方向拡散は酸素が含有されていることにより抑制され、ゲート電極9の幅が2μm以下、例えば0.8μmであっても拡散層6はつながらず、チャネル領域7全体に導電性不純物が拡散されることはない。次に、第1図(e)に示すように絶縁膜10にコンタクト穴を形成し、例えばA1電極11を形成して微細な寸法のポリシリコンMOSトランジスタ素子が形成される。

上記において、酸素の導入はポリシリコンの堆積時に酸素を含有させる方法を用いてもかまわない。また、酸素のみならず窒素あるいは炭素の導入によつても同様の不純物拡散抑制が起こることを発明者らは見い出している。

第2図は、本発明の他の実施例として積層構造

MOSトランジスタであり、Tr3, Tr4はポリシリコンPチャネルMOSトランジスタである。Tr5, Tr6はトランスマニア-MOSトランジスタであり、ワード線Wの電位変化に従い、ビット線D1, D2と記憶セルとを導通させる。Tr3, Tr4は第2図に示すように、Tr1, Tr2上にそれぞれ積層して形成され、Tr1, Tr2のそれぞれ負荷MOSとなつており、電源端子VccからVssへの電流路を形成して2安定状態を形成する回路構造となつてゐる。ここで、ポリシリコンPMOSトランジスタTr3, Tr4中には例えば酸素が含有されるため、Tr3, Tr4の寸法はTr1, Tr2と同等に微細に形成できる。これによつて記憶セルの高集積化が可能となる。

尚、MOSトランジスタとしてはPNP, NPN, N+NN+, P+PP+の各構造のものに本発明は適用でき、また、不純物導入は、イオン打込みの他拡散法など公知の各種の導入法を用いることができる。

#### 〔発明の効果〕

のCMOS素子を示したものである。すなわち、半導体基板1上にN型拡散層12、ゲート電極9を形成してNチャネルMOSトランジスタ素子を形成し、この素子上に積層して例えば酸素を10<sup>10</sup>～10<sup>22</sup>個/cm<sup>2</sup>の濃度範囲内で含有するポリシリコンMOSトランジスタ素子を形成したものである。ポリシリコンMOSトランジスタ素子の拡散層6中にはP型不純物が導入されてあり、ゲート電極9をNチャネルMOSトランジスタと共通とするポリシリコンPチャネルMOSトランジスタ素子が形成されている。ここで好ましくはポリシリコン層下面近傍の酸素濃度は低く設定される。NチャネルMOSトランジスタ素子のドレインとポリシリコンPチャネルMOSトランジスタ素子のソースは接続されている。これによつて積層構造のCMOS素子が形成される。

第3図は第2図に示したCMOS素子によつて形成されるスタティック動作型のフリップフロップ記憶セルの回路図を示すものである。すなわち、Tr1, Tr2, Tr5, Tr6はNチャネル

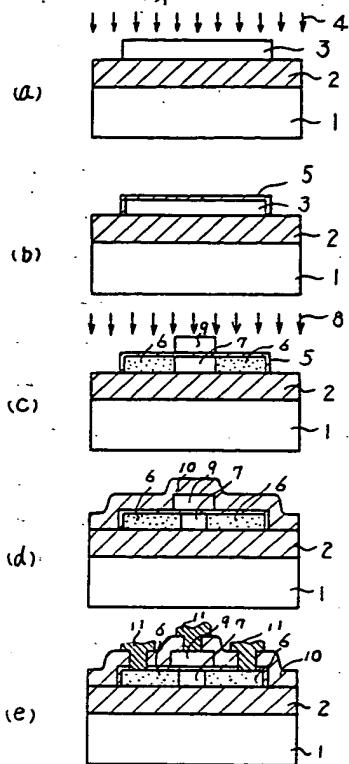
以上述べたように本発明によれば、ポリシリコン中での不純物の横方向拡散が抑制されるため、寸法が微細で歩留りが高くばらつきの小さいポリシリコンMOSトランジスタ素子を形成できる。図面の簡単な説明

第1図(a)～(e)は本発明を適用したポリシリコンMOS素子の形成工程の一実施例を示す断面構造図、第2図は本発明の他の実施例を示すものでポリシリコンPチャネルMOSトランジスタを積層して形成したCMOS素子の断面構造図、また、第3図はCMOS素子を用いたフリップフロップ記憶セルの回路図である。

1…半導体基板、2…絶縁膜、3…ポリシリコン、4…酸素、窒素、炭素のうちの少なくとも一つの元素イオン、5…ゲート絶縁膜、6…拡散層、7…チャネル領域、8…導電性不純物イオン、9…ゲート電極、10…絶縁物、11…A1電極、12…N型不純物拡散層。

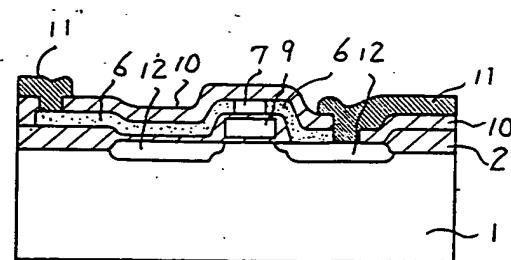
代理人弁理士小川勝男

第1図



1-半導体基板  
2-絶縁膜  
3-シリコン  
4-O<sub>2</sub>, N<sub>2</sub>, C  
5-ゲート膜  
6-ドレイン  
7-チャネル  
8-不純物  
9-ゲート電極  
10-絶縁膜  
11-Al電極

第2図



第3図

